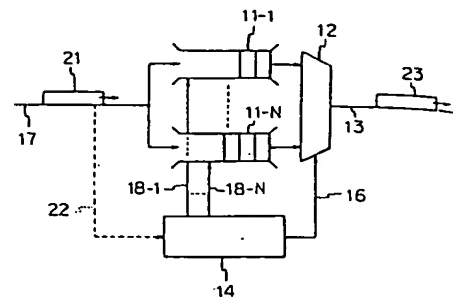


**(54) TENTATIVE STORAGE DEVICE FOR PACKET.**

(11) 4-17431 (A) (43) 22.1.1992 (19) JP  
 (21) Appl. No. 2-121509 (22) 11.5.1990  
 (71) NEC CORP (72) HIROSHI NAGANO  
 (51) Int. Cl.<sup>5</sup> H04L12/56, H04L12/48

**PURPOSE:** To decrease a delay caused in the device by storing a packet into a separate first in first out FIFO memory in response to the priority decided depending on tightness of delay quality and reading a packet with higher priority earlier.

**CONSTITUTION:** First to N-th FIFO memories 11-1-11-N are provided. Moreover, the device is provided with a priority discrimination means 14 discriminating the priority provided in a packet, a storage means storing the packet to the FIFO memories 11-1-11-N corresponding to the priority discriminated by the priority discrimination means 14, and readout means 18-1-18-N reading the packet sequentially from the FIFO memory 11-1 having highest priority among the FIFO memories 11-1-11-N. Then the packet is read with priority from the FIFO memories 11-1 with high priority. Thus, a delay caused in the device is decreased against a tight packet.



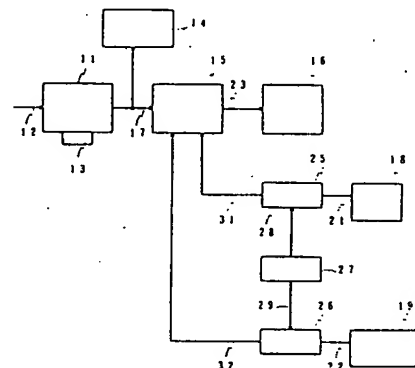
12: selector circuit, 14: control circuit

**(54) EYE PATTERN EVALUATION DEVICE**

(11) 4-17432 (A) (43) 22.1.1992 (19) JP  
 (21) Appl. No. 2-121512 (22) 11.5.1990  
 (71) NEC CORP (72) TAKA AKI OGATA  
 (51) Int. Cl.<sup>5</sup> H04L25/02, H04B10/08, H04L1/00

**PURPOSE:** To relieve the load required for evaluation of an eye pattern in a short time by modulating an identification voltage and an identification clock phase with separate modulation signals having a prescribed phase difference so as to move an identification point automatically in the eye pattern.

**CONSTITUTION:** The device is especially provided with an amplitude modulator 25 and a phase modulator 26 and they are respectively arranged between an identification circuit 1 and an identification voltage generating section 18 and between an identification circuit 15 and an identification clock generating section 19. An amplitude modulation signal 28 and a phase modulation signal 29 whose phases are deviated by  $\pi/2$  are inputted respectively from an oscillator 27 to the two modulators 25, 26. Then the separate modulation signals 28, 29 whose phases are deviated by  $\pi/2$  modulate the identification voltage and the identification clock phase to shift the identification point in the eye pattern automatically.



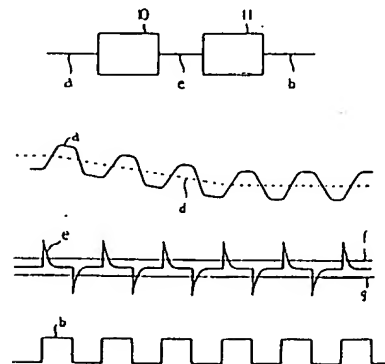
14: eye pattern display section, 11: optical receiver to be measured, 16: error rate measuring device

**(54) RADIO EQUIPMENT**

(11) 4-17433 (A) (43) 22.1.1992 (19) JP  
 (21) Appl. No. 2-120993 (22) 10.5.1990  
 (71) SEIKO INSTR INC (72) YUJI YOSHINO  
 (51) Int. Cl.<sup>5</sup> H04L25/03, H04B7/26

**PURPOSE:** To eliminate deterioration in a duty ratio of a digital signal after waveform shaping by forming a waveform shaping circuit with a waveform differentiating means and a comparator circuit means.

**CONSTITUTION:** A waveform shaping circuit consists of a waveform differentiating means 10 and a comparator circuit means 11 having a hysteresis. The waveform differentiating means 10 cuts off a DC component up to a pre-stage of a waveform shaping circuit and a peak waveform appears only at an inflection point of a signal (a) without being affected by DC fluctuation (d) of the signal (a) and a waveform (e) is produced and the waveform (e) is compared by the comparator circuit means 11 having a hysteresis. Moreover, f, g in figure depict a hysteresis level of the comparator circuit means 11 having a hysteresis.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-17431

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月22日

H 04 L 12/56  
12/48

7830-5K H 04 L 11/20 1 0 2 A  
7830-5K Z

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 バケット一時蓄積装置

⑯ 特 願 平2-121509

⑰ 出 願 平2(1990)5月11日

⑱ 発 明 者 永 野 宏 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

バケット一時蓄積装置

2. 特許請求の範囲

1. それぞれ優先順位の定められた複数のFIFOメモリと、

バケットに付与された優先順位を判断する優先順位判断手段と、

この優先順位判断手段で判断された優先順位に対応する前記FIFOメモリにバケットを格納する格納手段と、

前記複数のFIFOメモリの高い優先順位を有するFIFOメモリから順次バケットを読み出す読み出し手段

とを具備することを特徴とするバケット一時蓄積装置。

2. それぞれ優先順位の定められた複数のFIFOメモリと、

バケットに付与された優先順位を判断する優先順位判断手段と、

この優先順位判断手段で判断された優先順位に対応する前記FIFOメモリにバケットを格納する格納手段と、

前記複数のFIFOメモリのそれぞれから、その優先順位に応じて定められた比率で順次バケットを読み出す読み出し手段

とを具備することを特徴とするバケット一時蓄積装置。

3. 優先順位判断手段はバケットのアドレス情報からバケットの優先情報を判断することを特徴とする請求項1または2記載のバケット一時蓄積装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はバケットを一時的に蓄積するFIFOメモリを使用したバケット一時蓄積装置に関する。

〔従来の技術〕

バケット交換機は、端末からの情報を所定サイズのブロックに分割し、これに宛先や順番等のヘッダを符号化したバケットに編集し、出回線を

選択して次の交換機または端末装置に転送するようになっている。そしてパケット交換機は、回線を独占することなく複数の通信で共有してパケットを送出するため回線の使用効率が高く、また高品質のデータ伝送も可能である。

このようなパケット交換機等では、処理待ちやビットレートを調整するために、パケットを一時的に待避させるパケット一時蓄積装置が配置されている。このパケット一時蓄積装置の記憶部には、FIFO (First In First Out) メモリを使用し、基本的に待避させた順番にパケットを取り出し、交換機のスイッチ部に供給するようにしている。

〔発明が解決しようとする課題〕

ところで、例えば広帯域ISDN(サービス総合デジタル網)においては、多種類の情報を同一の網内で取り扱うことが多い。このため、より高速な交換を行うために全ての情報を等長パケット化し、同一に処理を行うATM(Asynchronous Transfer Mode)によるスイッチが注目されている。このATMでは、パケットに宛

先や論理チャネル等の情報を示すヘッダを付加し、この論理チャネルを参照して対応する出線にパケットを高速に導くようになっている。ATMでは、CPU(中央処理装置)による処理を行わないので、高速にパケットの交換処理を行うことができる。

ところが、ATMによりスイッチング処理を高速化しても、多種類のパケットを同一に扱う場合、FIFOメモリにパケットを一時的に蓄積する段階でデータ転送の遅延が生じていた。例えば、電話による音声のパケットのように、遅延に対する品質の要求が厳しいパケットを、遅延に対して厳しくない他のパケットと同様に処理すると、伝送された音声の途切れ等の通信障害が発生する可能性があった。

そこで本発明の目的は、パケットを蓄積することによる遅延の問題を解消することのできるパケット一時蓄積装置を提供することにある。

〔課題を解決するための手段〕

請求項1記載の発明は、(i)それぞれ優先順

位の定められた複数のFIFOメモリと、(ii)パケットに付与された優先順位を判断する優先順位判断手段と、(iii)この優先順位判断手段で判断された優先順位に対応するFIFOメモリにパケットを格納する格納手段と、(iv)複数のFIFOメモリの高い優先順位を有するFIFOメモリから順次パケットを読み出す読み出し手段とをパケット一時蓄積装置に具備させる。

すなわち請求項1のパケット一時蓄積装置は、パケットをその優先順位に応じてそれぞれ異なるFIFOメモリに格納し、高い優先順位を有するFIFOメモリから優先的にパケットを読み出す構成としたものである。

請求項2記載の発明は、(i)それぞれ優先順位の定められた複数のFIFOメモリと、(ii)パケットに付与された優先順位を判断する優先順位判断手段と、(iii)この優先順位判断手段で判断された優先順位に対応するFIFOメモリにパケットを格納する格納手段と、(iv)複数のFIFOメモリのそれぞれから、その優先順位に応じ

て定められた比率で順次パケットを読み出す読み出し手段とをパケット一時蓄積装置に具備させる。

すなわち請求項2記載のパケット一時蓄積装置では、優先順位に応じた比率でパケットを順次読み出す構成としている。

更に、請求項3記載の発明では、パケットのアドレス情報からパケットの優先情報を判断するようにしている。

〔実施例〕

以下実施例につき本発明を詳細に説明する。

第1図は本発明の一実施例におけるパケット一時蓄積装置の構成を表わしたものである。

パケット一時蓄積装置は第1から第NのFIFOメモリ1-1~1-Nを備えている。第1から第NのFIFOメモリは、伝送するパケットに要求される遅延品質の程度によりパケットに付与される優先順位と同数配置されている。いま第1のFIFOメモリ1-1が最高位の優先順位であり、第NのFIFOメモリ1-Nが最低位の優先順位であるものとする。

パケット一時蓄積装置は、セレクト回路12を備えており、例えば図示しないATMのシャフル型や共有メモリ型のスイッチ部に出力バス13で接続されている。セレクト回路12は、制御回路14からのセレクト制御信号16によって第1から第NのFIFOメモリ11-1~11-Nのいずれかを出力バス13に接続するようになっている。

制御回路14は、第1から第NのFIFOメモリ11-1~11-Nのそれぞれに、パケットの書き込みと読み出しを指示する読書制御信号18-1~18-Nを供給する。制御回路14は、パケットの優先順位を判断する図示しないワイヤードロジック回路を備えている。

このように構成されたパケット一時蓄積装置の動作について次に説明する。

入力バス17から入力パケット21がパケット一時蓄積装置に入力されると、制御回路14は入力パケット21のヘッダに付与された優先順位情報22を読み出し、優先順位を判断する。入力パ

ケット21が例えば音声情報のような最優先のパケットであるとする。この場合、制御回路14は、該当する最優先順位の第1のFIFOメモリ11-1に対して書き込みを指示する読書制御信号18-1を供給して、入力パケット21を格納する。

一方、パケットの読み出しは次のようにして行われる。

例えば第1のFIFOメモリ11-1に格納されているパケットを読み出す場合、制御回路14はセレクト回路12に第1のFIFOメモリ11-1を選択する制御信号16を入力する。セレクト回路12は制御信号16の入力により、選択された第1のFIFOメモリ11-1を出力バス13に接続する。制御回路14は、また、第1のFIFOメモリ11-1に対してパケットの読み出しを指示する読書制御手段18-1を入力する。これにより、第1のFIFOメモリ11-1から、パケットがセレクト回路12を介して出力バス13に出力パケット23として出力される。

次に制御回路14が第1から第NのFIFOメ

モリ11-1~11-Nからパケットを読み出す順序について説明する。

制御回路14は、最高位の優先順位を持つFIFOメモリ11-1から順に、パケットが格納されているかを検索する。制御回路14は、第1のFIFOメモリ11-1にパケットが格納されているか、このメモリに格納されている全てのパケットを順次読み出す。第1のFIFOメモリ11-1からパケットの読み出しが終了した場合、または第1のFIFOメモリにパケットが格納されていない場合、制御回路14は第2のFIFOメモリ11-2からパケットを1つ読み出す。この間に第1のFIFOメモリ11-1に新たにパケットが格納されているか確認し、格納されているならばそのパケットを全て読み出し、格納されていないならば第2のFIFOメモリ11-2からパケットを1つ読み出す。制御回路14は、第2以降のFIFOメモリ11から全てのパケットを読み出すと、第1のFIFOメモリ11-1、第2のFIFOメモリ11-2にパケットが格納され

ていないことを順次確認した後第3のFIFOメモリ11-3からパケットを1つ読み出す。

同様に第2以降のFIFOメモリ11からは、パケットを1つ読み出す毎に、最高位の祖先順位を持つ第1のFIFOメモリ11-1から順にパケットが格納されているか検索し、最初にパケットの格納が検索されたFIFOメモリからパケットを1つ読み出すようにする。

以上説明した実施例では、あるFIFOメモリに対して、それよりも上位のFIFOメモリから全てのパケットが読み出された後にパケットを読み出すようにしたが、本発明はこれに限られず、例えば、各FIFOメモリに格納されるパケットの優先順位に応じた比率でそれぞれのFIFOメモリからパケットを読み出すようにしてもよい。

また以上説明した実施例では、ヘッダに付与された優先順位情報から入力パケットの優先順位を判断したが、本発明では、パケットに付与されるアドレス情報から優先順位を判断することも可能である。すなわち、パケットを受信する端末装置

が例えば電話器であれば、入力パケットは音声であり、最優先順位であると判断することが可能である。

〔発明の効果〕

このように本発明によれば、パケットを遅延品質に対する厳しさによって定められた優先順位に応じて、別々のFIFOメモリに格納し、高い優先順位を有するパケットを優先的に読み出す構成としたので、遅延品質の要求が厳しいパケットに対してパケット一時蓄積装置内で生じる遅延量を小さくすることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するための構成図である。

11-1～11-N……第1から第NのFIFOメモリ、

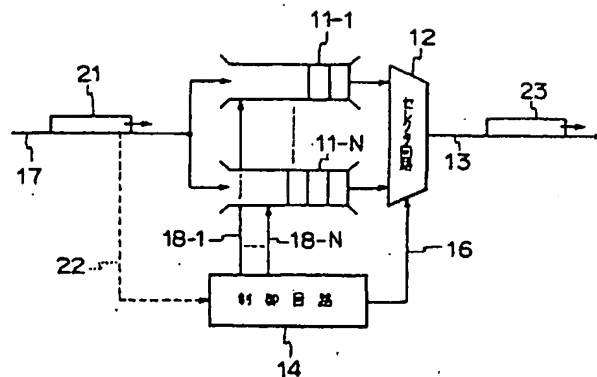
12……セレクト回路、

14……制御回路。

出願人 日本電気株式会社

代理人 弁理士 山内梅雄

第1図



**This Page is Inserted by IFW Indexing and Scanning**  
Continuation of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**